

公開実用 昭和63-193844

Japanese Unexamined Utility Model Application No. S62-85331

(First Publication No. S63-193844)

⑩ 日本国特許庁(JP)

⑪ 実用新案出願公開

⑫ 公開実用新案公報(U)

昭63-193844

⑬ Int. Cl. *

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)12月14日

H 01 L 21/68
B 23 B 31/28

R-6851-5F
7632-3C

審査請求 有 (全 頁)

⑮ 考案の名称 静電チャック基板

⑯ 実 願 昭62-85331

⑰ 出 願 昭62(1987)5月30日

⑱ 考 案 者 中 山 千 秋 神奈川県茅ヶ崎市本村2丁目8番1号 東陶機器株式会社
茅ヶ崎工場内

⑲ 考 案 者 井 嶋 勉 神奈川県茅ヶ崎市本村2丁目8番1号 東陶機器株式会社
茅ヶ崎工場内

⑳ 考 案 者 渡 部 俊 也 神奈川県茅ヶ崎市本村2丁目8番1号 東陶機器株式会社
茅ヶ崎工場内

㉑ 出 願 人 東陶機器株式会社 福岡県北九州市小倉北区中島2丁目1番1号

㉒ 代 理 人 弁理士 早川 政名

明 細 書

1. 考案の名称

静電チャック基板

2. 実用新案登録請求の範囲

支持基板内に、端子取出口に一端を連通し他端をその支持基板上の導体層に連通するビアホールを多数個穿設し、該各ビアホール内に、上記導体層と一体化するビアホール導体を充填したことを特徴とする静電チャック基板。

3. 考案の詳細な説明

(産業上の利用分野)

本考案はシリコンウエハを加工する各種装置用のウエハ固定、平面度矯正の他、大きな絶縁耐力及び大きな静電吸着力を必要とするウエハ搬送用の用途に利用できる静電チャック基板、更に詳しくは、高電圧を印加しても信頼性の低下がない静電チャック基板に関するものである。

(従来背景及びその問題点)

静電チャック基板は端子取出口を有する支持基

板上に導体層を付設すると共にその導体層を絶縁膜で被蓋した3層構造に形成され、その静電力は絶縁膜厚の2乗に反比例する為、強い静電力を得る為にはその絶縁膜厚は薄いのが望ましいが、現実的に薄すぎると絶縁耐圧が低くなり且つ高電圧を印加できない為、通常、 $50\mu\sim 500\mu m$ の膜厚としている。

ところで、此種静電チャック基板は端子取出口内に固着される外部端子を導体層に結合させることによって結線されるが、導体層厚も同様に極めて薄い為、外部端子に機械的応力が作用した場合、その応力がその導体層及び絶縁膜に作用し、破損する不具合がある。

また、高周波電源を使用に供するケースが多々存在するが、この場合、高周波回路には電流が導体層表面を流れる表皮効果があり、その表面積を増加させてインピーダンスを下げなければ回路が発熱し、シリコンウエハに精密なパターンを描写する場合に描写誤差が生じたり、導体層が断線する問題点を惹き起こす。

しかし、現実的に導体層厚が極めて薄いので、前記のような問題点は避けられず、高電圧を印加する利用用途には利用されていないのが現況である。

〔技術的課題〕

本考案の技術的課題は、外部端子を間接的に導体層に結合すると共に、各周波数に対して導体抵抗を低下させることにある。

〔技術的手段〕

上記技術的課題を達成する為に、講じた技術的手段は支持基板内に、端子取出口に一端を連通し他端をその支持基板上の導体層に連通するビアホールを多数個穿設し、該各ビアホール内に、上記導体層と一体化するビアホール導体を充填したことである。

〔実施例〕

次に、本考案の実施例を図面に基づいて説明する。

第1図乃至第5図は第1実施例の静電チャック基板を、第6図及び第7図は第2実施例の静電チ

ャック基板を夫々示している。

第1実施例について説明すると、この静電チャック基板本体(A)は、端子取出口(1a)を有する支持基板(1)と、その支持基板(1)上に施層される導体層(2)と、その導体層(2)上に積層される絶縁膜(3)と、前記支持基板(1)内に端子取出口(1a)に一端を連通し他端を導体層(2)に連通するように開孔されたビアホール(4)と、そのビアホール(4)内に充填されるビアホール導体(5)とからなっている。

支持基板(1)は絶縁材料であるアルミナ、コーディエライト、マグネシア、チタニア、フォルステライト等のセラミックスを用いて所望厚に成形され、その所望箇所に下面から中途部迄穿設することによって端子取出口(1a)が形成されている。

ビアホール(4)は一端を支持基板(1)上面に、他端を上記端子取出口(1a)に夫々連通するように所望径で多数個穿設されている。

この実施例においては直径5mmφの内輪と、直

径10mmφの外輪を形作るその円周上に等間隔をおいて0.5mmφの径で、16個及び32個夫々穿設している。

導体層(2)は、W, PT, Pd, Cu, Ag等の導体ペーストを所望の印刷法を用いて支持基板(1)上に施層することによって形成されている。

ビアホール導体(5)は前記ビアホール(4)一個々に、一端が導体層(2)と連続し、他端が端子取出口(1a)に臨むように導体層(2)と同材質の導体ペーストを充填することによって形成されている。

尚、この実施例においては、端子取出口(1a)の底部全面にビアホール導体(5)と同材質の導体ペーストを施層して外部端子(6)との結線をより確実にするように配慮している。

絶縁膜(3)は支持基板(1)と、同様のアルミナ、コーディエライト、マグネシア、チタニア、フォルステライト等のセラミックスを用いて前記導体層(2)上に50μ~500μmの厚みをもって積層することによって形成されている。

次に、斯る本実施例における静電チャック基板の製造方法について説明すると、ドクターブレード法により成形した 0.5mm 厚のアルミナグリーンシート (1-1) 3 枚に夫々パンチングマシンによって前記ピアホール (4) … を穿設し、この各ピアホール (4) … にピアホール導体 (5) としてタングステンペーストをスクリーン印刷によって埋め込んでおく。また、導体層 (2) はグリーンシート (1-1) 上にタングステンペーストをスクリーン印刷することによって形成し、端子取出口 (1a) はグリーンシート (1-1) に開口することによって形成する。

次に、絶縁膜 (3) となるグリーンシート (3-1)、導体層 (2) が印刷されたグリーンシート (1-1)、ピアホール導体 (5) を内部に有するグリーンシート (1-1)、端子取出口 (1a) を有するグリーンシート (1-1) を夫々第 4 図及び第 5 図に示すように積層し、焼成することによって製造する。

ちなみに、外部端子 (6) はコパール金属材料を

用い、銀ろう（７）付によって端子取出口（１ａ）に固着してビアホール導体（５）を介して間接的に導体層（２）と結線することとする。

而して、斯る本実施例の静電チャック基板は、外部端子（６）との結線部分において、 $0.5\text{mm}\phi \times 3.14 \times 48 \times 1.5\text{mm} = 113.04\text{mm}^2$ 導体層（２）の表面積を増加できた。

次に、第２実施例の静電チャック基板について説明すると、この実施例は前記第１実施例のように絶縁膜（３）、導体層（２）、支持基板（１）三者の積層体を焼成する方法と相異して、予め上面に導体層（２）を印刷し内部にその導体層（２）に連続するビアホール導体（５）…を有する支持基板（１）（アルミナ製）を焼成によって予め成形しておき、この支持基板（１）上に接着剤（８）を介して予め焼成されている絶縁膜（３）を接着することによって得た静電チャック基板を示している。

この実施例で用いる導体層（２）、ビアホール導体（５）は、銀－パラジウム合金を用い、接着

剤としてエポキシ接着剤を用いた。また、ビアホール（４）…は第７図で示すように 10mm φ径の大ききで予め支持基板（１）に穿設されている端子取出口（１a）と相対する範囲部分に 0.6mm φ、深さ 1.5mm をもって21個散在状に形成し、内部に銀-パラジウム導体ペーストを充填してビアホール導体（５）を形成している。

ちなみに（６）は、外部端子であり、コパール金属材料を用い、ハンダ（９）付けによって端子取出口（１a）に固着する。

而して、斯る本実施例の静電チャック基板は外部端子（６）との結線部分において、 0.6mm φ× $3.14 \times 21 \times 1.5\text{mm} = 59.4\text{mm}^2$ 導体層（２）の表面積を増加できた。

ちなみに、前記第１、第２実施例では前記の通り、径、深さのビアホールを夫々48個及び21個穿設し、このビアホールにビアホール導体（５）を充填することによって導体層（２）の表面積を増加させる旨で説明しているが、径、深さ及びその個数は限定されるものではなく、得ようとする表

面積に対応させて、径、深さ、及びその個数（複数個以上）を決定し、ビアホール導体（５）を充填すること言うまでもない。

（考案の作用効果）

本考案は以上のように支持基板内に、端子取出口に一端を連通し他端をその支持基板上の導体層に連通するビアホールを多数個穿設し、該各ビアホール内に、上記導体層と一体化するビアホール導体を充填したので、下記の作用効果がある。

- ① 外部端子は端子取出口に固着すると支持基板厚内のビアホール導体を介してその支持基板上面上の導体層及び絶縁膜に対して間接的に結線されるから、その外部端子に外的な引っ張り、曲げ等の機械的応力が生じてもそのビアホール導体で受圧し、導体層及び絶縁膜に作用させない。

故に、導体層及び絶縁膜の破損のない耐久性に秀でた静電チャック基板を供し得る。

- ② ビアホールを多数個穿設し、このビアホールにビアホール導体を充填したから、そのビ

アホール導体分導体層の表面積が必然的に増加することになる。

故に、高周波電源を使用した際に表皮効果が生じても絶縁膜の発熱や断線がなくなり、シリコンウエハに対する精密パターン描写誤差を招いたり、静電吸着力の持続力の低下を招いたりせず、信頼性の向上が期待できる。

依って、所期の目的を達成できる。

4. 図面の簡単な説明

図面は本考案静電チャック基板の実施例を示し、第1図乃至第5図は第1実施例の静電チャック基板を、第6図乃至第⁷図は第2実施例の静電チャック基板を、夫々示し、第1図は縦断面図、第2図は要部の拡大断面斜視図、第3図は(3) - (3) 拡大断面図、第4図は絶縁膜、導体層、支持基板からなる積層体を成形する前の状態を示す縦断面図、第5図は同積層体の縦断面図、第6図は縦断面図、第7図は(7) - (7) 拡大断面図、である。

尚、図中

(A) : 静電チャック基板本体

(1) : 支持基板

(1a) : 端子取出口

(2) : 導体層 (3) : 絶縁膜

(4) : ピアホール

(5) : ピアホール導体

実用新案登録出願人

東陶機器株式会社

代

理

人

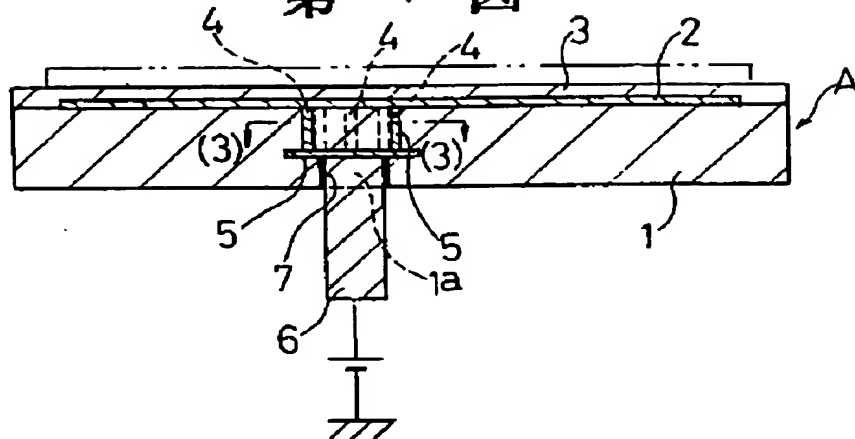
早 川

政

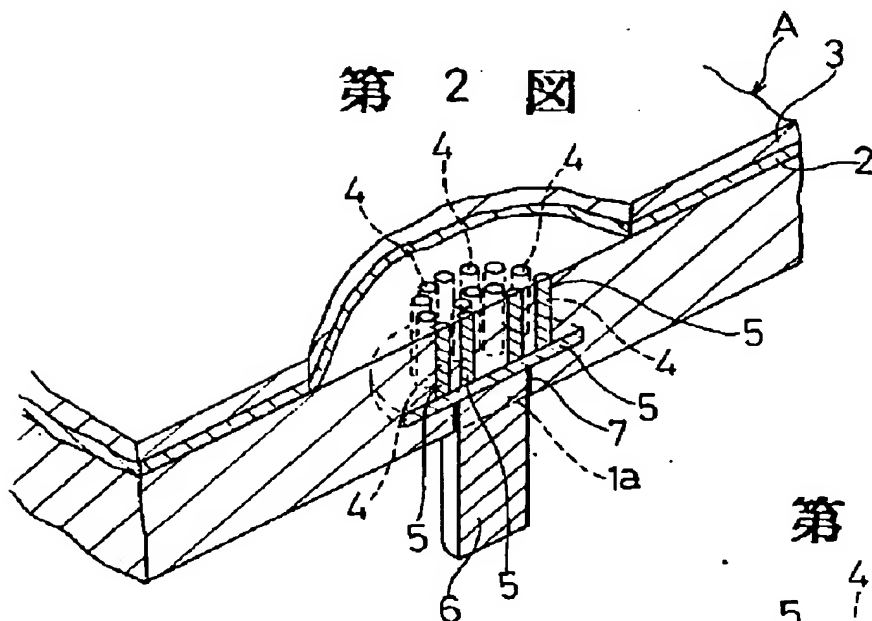
名

- 1 1 -

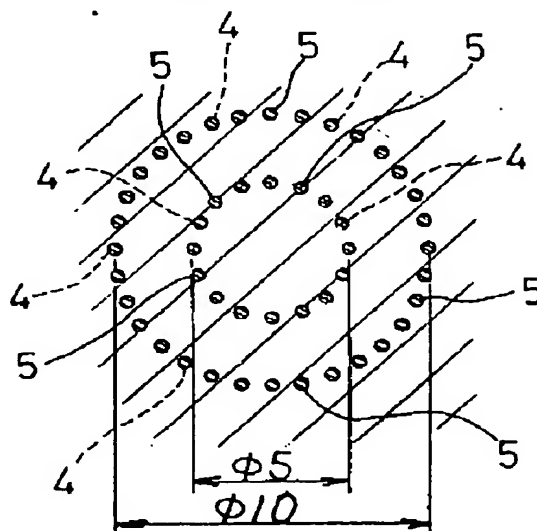
第 1 図



第 2 図

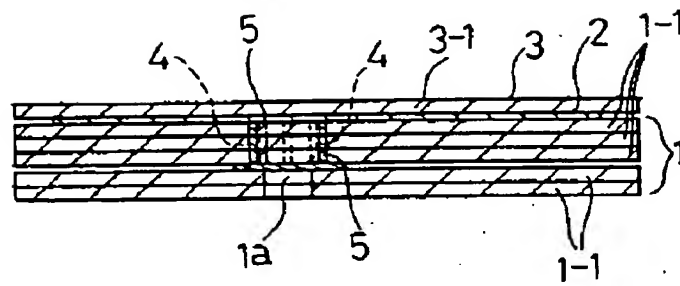


第 3 図

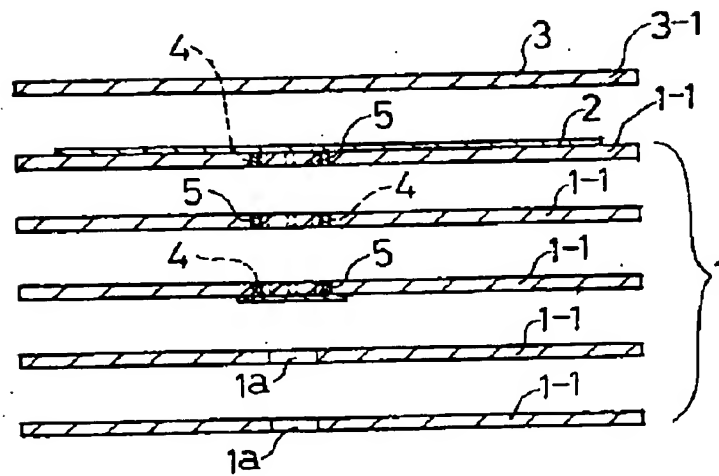


BEST AVAILABLE COPY

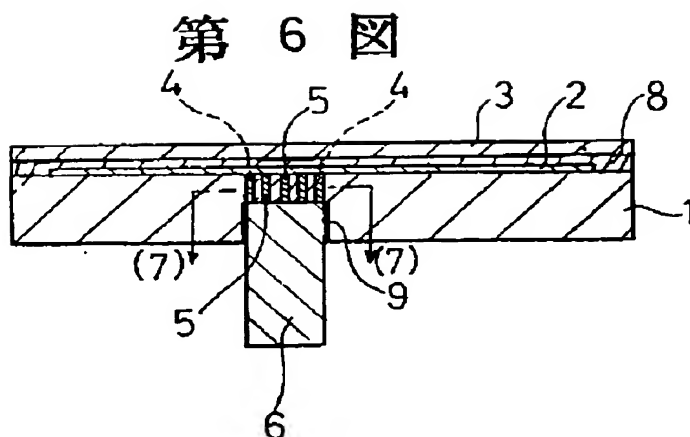
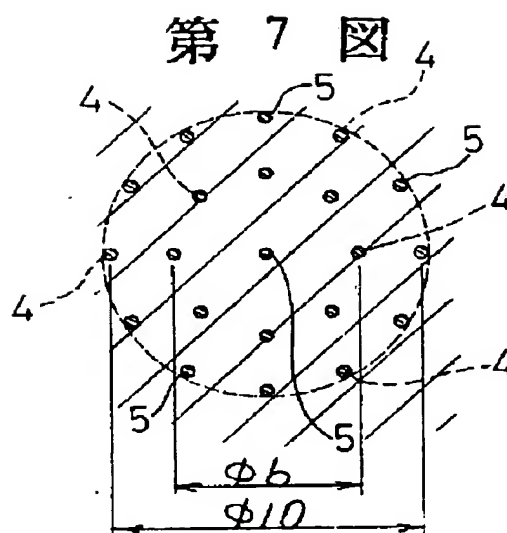
第 5 図



第 4 図



BEST AVAILABLE COPY



BEST AVAILABLE COPY